

JA 0018596

JAN 1988

(54) SEMICONDUCTOR MEMORY ELEMENT

(11) 63-18596 (A) (43) 26.1.1988 (19) JP

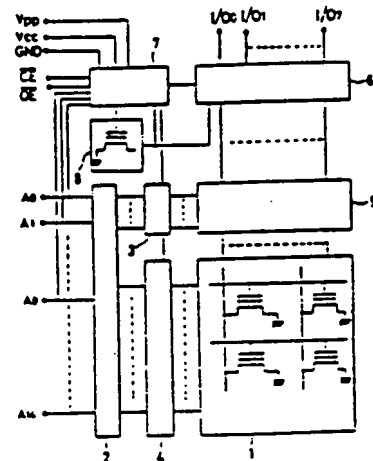
(21) Appl. No. 61-161602 (22) 9.7.1986

(71) TOSHIBA CORP (72) MIKITO NAKABAYASHI

(51) Int. Cl. G11C17:00, G11C29:00, H01L27/10

PURPOSE: To easily confirm whether an EPROM is erased or not without reading the contents of all addresses by reading a memory cell for storing whether the EPROM is brought into an erasing state or not as information.

CONSTITUTION: A single or plural memory cells 8 capable of programming as the information whether memories are brought into the erased state or not in a part of the chip of the programmable and erasable read only memory (EPROM). Thereby, the memory cell 8 is read to recognize whether the EPROM is erased or not without reading all the addresses of the memory 1. Namely, the memory cell having the contents that the EPROM is programmed or erased is provided in the chip, thereby, the state of the EPROM can be readily understood only by reading the memory cell.



1: memory cell array, 2: address buffer, 3: column decoder,
4: row decoder, 5: column I/O circuit, 6: I/O buffer, 7:
control circuit

⑪ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)1月26日
 G 11 C 17/00 3 0 9 E-6549-5B
 29/00 3 0 1 A-7737-5B
 H 01 L 27/10 4 3 1 8624-5F 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体記憶素子

⑮ 特 願 昭61-161602

⑯ 出 願 昭61(1986)7月9日

⑰ 発 明 者 中 林 幹 戸 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩
 川工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体記憶素子

2. 特許請求の範囲

プログラム及び消去が可能な第1の読み出し専用メモリと、この第1の読み出し専用メモリが消去された状態か否かを情報としてプログラムすることが可能な第2の読み出し専用メモリとを具備し、第2の読み出し専用メモリを読み出すことにより、第1の読み出し専用メモリが消去されているか否かを知ることとする半導体記憶素子。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はプログラム及び消去が可能な読み出し専用の半導体記憶素子に関する。

(従来の技術)

一般にプログラム及び消去が可能な読み出し専用メモリ (EPROM) は一度プログラムをした後は

電源がなくともその内容が消滅しない利点がある。また、紫外線照射または電気的信号の入力を行うことによりその内容を消去することが出来るので、新たに別の情報を書き込むことが出来る利点もある。

しかしながら、EPROMが消去された状態か否かを知るためにはその全番地の内容を読み出すしか方法がなかった。

その為、EPROMにプログラムを行なう際は、プログラム開始前にその内容を全番地読み出して消去状態にあることを確認した上でプログラムを開始せねばならず、PROMライター等にこの全番地の読み出しを行なわせると64 kbitで4~10秒、512 kbitで20~60秒もの時間が必要で、これはプログラムに必要な時間(64 kbitで5~50秒、512 kbitで45~450秒)のおよそ10~100%に相当するので、PROMライターでのプログラムの効率を下げる大きな要因となっていた。

(発明が解決しようとする問題点)

本発明は、従来技術では EPROM が消去された状態か否かを知るためにはその全番地の内容を読み出さなければならないという点に鑑みてなされたもので、EPROM が消去状態にあるか否かを情報として蓄えているメモリセルを読み出すことにより、全番地の内容を読み出さずともその EPROM が消去されているか否かを確証することが出来る半導体記憶素子を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は上記目的を達成するため、プログラム及び消去が可能な第1の読み出し専用メモリと、この第1の読み出し専用メモリが消去された状態か否かを情報としてプログラムすることが可能な第2の読み出し専用メモリとを具備し、第2の読み出し専用メモリを読み出すことにより、第1の読み出し専用メモリが消去されているか否かを知ること特徴とするものである。

(作 用)

この発明は上記手段により、プログラム及び

プログラムが行なわれている時には1 bit のメモリセル8のドレインとコントロールゲートには高電圧が印加されてプログラムが行なわれる様になっている。

以上の様な回路構造になっていると、1 bit のメモリセル8はメモリセルアレイ1が消去されているか否かを、メモリセルアレイ1に消去またはプログラムを行なうだけで、情報として蓄えることが出来る。

メモリセル8を読み出すには、例えばシリコンシグネチャ回路と同様な回路を設けることにより、端子A、に V_{12} (= 12 V) を印加し特定番地を入力して読み出し動作を行い、メモリセル8の内容が出力に出て来る様にすれば良い。

前述した実施例の如く EPROM がプログラムされた状態か消去された状態かを内容とするメモリセルをチップ内に設けておけば、そのメモリセルを読み出すだけで EPROM がどの状態にあるかすぐに知ることが可能である。この読み出しに必要な時間は多く見積っても1 μ s 程度と考えられ、これは

消去が可能な読み出し専用メモリのチップの一部にそれらメモリが消去された状態か否かを情報としてプログラムすることが可能な手段または複数個のメモリセルを備えることにより、後者メモリセルを読み出すことにより前者メモリの全番地を読み出さずとも消去状態か否かの確証を可能ならしめるものである。

(実施例)

以下、この発明の一実施例を第1図を参照しながら詳細に説明する。即ち、第1図は32 kbit \times 8 word の EPROM に本発明を適用したものである。1は256 kbit のメモリセルアレイ、2はアドレスバッファ、3はカラムデコーダ、4はロウデコーダ、5はカラム I/O 回路、6は I/O バッファ、7は制御回路、8はメモリセルアレイ1が消去状態にあるか否かを情報として蓄えている1 bit のメモリセルである。

1 bit のメモリセル8は紫外線照射によりメモリセルアレイ1と同時に消去することが出来る様になっている。また、メモリセルアレイ1にプロ

PROM ライターでのプログラム時間に比較して短縮することのできるオーダーであるので PROM ライターでのプログラム効率を従来に比べ大幅に改することが出来る。

また、メモリセルアレイへのプログラムまたは消去と同時に消去状態か否かを情報として蓄えるメモリセルへのプログラムまたは消去を行なうので、従来の EPROM へのプログラム操作又は消去操作と同じ操作で消去状態か否かを情報として蓄えることが出来、余分な操作、余分な時間を必要としない。

第1図では32 kbit \times 8 word の EPROM を例として説明したが、他の容量の EPROM にも本発明を適用することが可能である。また、EPROM だけでなく、全 bit一括消去型の E²PROM にも適用することが可能である。また、メモリセル8の読み出しにシリコンシグネチャ回路を例に出したが、他の適当な回路があればそれでもかまわない。また、メモリセル8は1 bit でなく適当な bit 数でもかまわない。

〔 発明の効果 〕

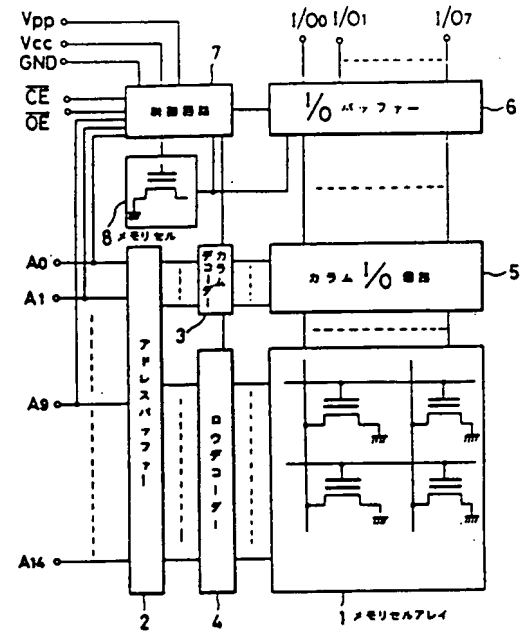
以上述べたように本発明によれば、EPROMが
消去状態にあるか否かを情報として蓄えているメ
モリセルを読み出すことにより、全番地の内容を
読み出さずともその EPROM が消去されているか否
かを容易に確認することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す構成説明図
である。

1…256 kbit のメモリセルアレイ、2…アド
レスバッファ、3…コラムデコーダ、4…ロ
ウデコーダ、5…コラム I/O 回路、6… I/O バ
ッファ、7…読出し回路、8…メモリセルアレイ
1 が消えているか否かを情報として蓄えている 1
bit のメモリセル。

出願人代理人 弁理士 鈴 江 武 彦



第 1 図